В12 КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА

(ASCII, 7SEG, MUX, DMX, CD, DC, ADD)

Исполнители: Балан К. А., Орехва В. Э.

Группа: РЦТ-22.

### Модуль driver7seg — драйвер для семисегментного индикатора

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Семисегментный индикатор | | | | | | | | | | | | | |
| # | **bin[3:0]** | | | | **7seg[6:0]** | | | | | | | |  |
| 3 | 2 | 1 | 0 | 6/g | 5/f | 4/e | | 3/d | 2/c | 1/b | 0/a |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | | 1 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | | 0 | 1 | 0 | 0 | 2 |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | | 0 | 0 | 0 | 0 | 3 |
| 4 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | | 1 | 0 | 0 | 1 | 4 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | | 0 | 0 | 1 | 0 | 5 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | | 0 | 0 | 1 | 0 | 6 |
| 7 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | | 1 | 0 | 0 | 0 | 7 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 0 | 0 | 8 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | | 0 | 0 | 0 | 0 | 9 |
| 10 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | | 1 | 0 | 0 | 0 | A |
| 11 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | | 0 | 0 | 1 | 1 | b |
| 12 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | | 0 | 1 | 1 | 0 | C |
| 13 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | | 0 | 0 | 0 | 1 | d |
| 14 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | | 0 | 1 | 1 | 0 | E |
| 15 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | | 1 | 1 | 1 | 0 | F |
| Описание на Verilog | | | | | | | | RTL-схема | | | | | |
| Временная диаграмма | | | | | | | | | | | | | |

### Модуль driverascii — драйвер для вывода сигналов в формате ASCII

|  |  |
| --- | --- |
| драйвер для вывода сигналов в формате ASCII | |
| Описание на Verilog | RTL-схема |
| Временная диаграмма | |

### Модуль mux\_2\_1 — мультиплексор 2-в-1

|  |  |
| --- | --- |
| мультиплексор 2-в-1 | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### Модуль mux\_8\_1 — мультиплексор 8-в-1

|  |  |
| --- | --- |
| мультиплексор 8-в-1 | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### Модуль bus\_mux\_8\_1 — шинный мультиплексор 8-в-1

|  |  |
| --- | --- |
| шинный мультиплексор 8-в-1 | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### Модуль dmx\_1\_2 — демультиплексор 1-в-2

|  |  |
| --- | --- |
| демультиплексор 1-в-2 | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### Модуль dmx\_1\_8 — демультиплексор 1-в-8

|  |  |
| --- | --- |
| демультиплексор 1-в-8 | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### Модуль bus\_dmx\_1\_8 — шинный демультиплексор 1-в-8

|  |  |
| --- | --- |
| шинный демультиплексор 1-в-8 | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### Модуль dc\_3\_8 — дешифратор 3-в-8

|  |  |
| --- | --- |
| дешифратор 3-в-8 | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### Модуль cd\_8\_3 — шифратор 8-в-3

|  |  |
| --- | --- |
| шифратор 8-в-3 | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### 

### Модуль add1 — одноразрядный полный сумматор

|  |  |
| --- | --- |
| одноразрядный полный сумматор | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### Модуль add4 — четырехразрядный сумматор

|  |  |
| --- | --- |
| четырехразрядный сумматор | |
| Описание на Verilog  <Код> | RTL-схема  <RTL-схема> |
| Временная диаграмма | |

### \*Модуль wrapper\_add4 — четырехразрядный сумматор c драйвером вывода

|  |  |  |  |
| --- | --- | --- | --- |
| четырехразрядный сумматор c драйвером вывода | | | |
| Описание на Verilog  <Код> | | RTL-схема  <RTL-схема> | |
| Временная диаграмма | | | |
| **Вывод указанных чисел** | | | |
| <1>  <фото платы> | <2>  <фото платы> | <3>  <фото платы> | <4>  <фото платы> |

### ИСПОЛНИТЕЛИ

<фото исполнителей>

### ЗАКЛЮЧЕНИЕ

<Текст заключения>